

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

10498848

Basic Patent (No,Kind,Date): JP 4116624 A2 19920417 <No. of Patents: 002>

LIQUID CRYSTAL PANEL DEVICE CONSISTING OF SEMICONDUCTOR SINGLE
CRYSTAL SUBSTRATE (English)

Patent Assignee: SEIKO INSTR INC

Author (Inventor): YAMAZAKI TSUNEO; KATO NAOKI; YABE SATORU; TAGUCHI

MASAAKI; TAKANO RYUICHI

IPC: *G02F-001/1339; G02F-001/136

JAPIO Reference No: 160371P000130

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4116624	A2	19920417	JP 90238673	A	19900907 (BASIC)
JP 3103981	B2	20001030	JP 90238673	A	19900907

Priority Data (No,Kind,Date):

JP 90238673 A 19900907

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03751524 **Image available**

LIQUID CRYSTAL PANEL DEVICE CONSISTING OF SEMICONDUCTOR
SINGLE CRYSTAL SUBSTRATE

PUB. NO.: 04-116624 [JP 4116624 A]

PUBLISHED: April 17, 1992 (19920417)

INVENTOR(s): YAMAZAKI TSUNEO

KATO NAOKI

YABE SATORU

TAGUCHI MASAACKI

TAKANO RYUICHI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 02-238673 [JP 90238673]

FILED: September 07, 1990 (19900907)

INTL CLASS: [5] G02F-001/1339; G02F-001/136

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R020 (VACUUM TECHNIQUES)

JOURNAL: Section: P, Section No. 1399, Vol. 16, No. 371, Pg. 130,
August 10, 1992 (19920810)

ABSTRACT

PURPOSE: To integrate and form fine switching elements, etc., and to reduce picture element sizes by directly applying an ISI production technique to the silicon single crystal thin film on a carrier layer.

CONSTITUTION: This panel device is formed by using the composite substrate 1 having the laminated structure consisting of the carrier layer 2 having an electrical insulating characteristic and the semiconductor single crystal thin film layer 5 and is constituted of plural picture element electrodes 7 and the plural switching elements 8 which selectively feed electricity to the respective picture element electrodes 7. A counter substrate 2 is disposed to the above-mentioned substrate via a prescribed spacing. A liquid crystal layer 3 is packed in this spacing and the electrooptical modulation of the incident light with which the picture element regions are irradiated according the quantity of the feed electricity held by the respective picture element electrodes 7 is performed. Further, the switching elements 8 for uniformly controlling the spacing size act as a spacer means. Then, the fine picture element electrode groups and the switching element groups are integrally formed on the semiconductor single crystal thin film 5 by fully utilizing the fining technique or ISI production technique. The active matrix type liquid crystal panel device having the microminiature size and high fineness is obtained in this way.

⑫ 公開特許公報(A) 平4-116624

⑬ Int. Cl.³

G 02 F 1/1339
1/136

識別記号

5 0 0
5 0 0

庁内整理番号

7724-2K
9018-2K

⑬ 公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 12 (全12頁)

⑭ 発明の名称 半導体単結晶基板液晶パネル装置

⑮ 特 願 平2-238673

⑯ 出 願 平2(1990)9月7日

⑰ 発 明 者 山 崎 恒 夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内
⑰ 発 明 者 加 藤 直 樹 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内
⑰ 発 明 者 矢 部 悟 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内
⑰ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社
⑰ 代 理 人 弁理士 林 敬之助
最終頁に続く

明 細 書

1. 発明の名称

半導体単結晶基板液晶パネル装置

2. 特許請求の範囲

1. 電気絶縁性の担体層と半導体単結晶薄膜層とからなる積層構造を有する複合基板と、

画素領域を規定する複数の画素電極と各画素電極を選択給電する為の複数のスイッチ素子とからなり、該半導体単結晶薄膜層に集積形成された画素アレイと、

所定の間隙を介して該複合基板に対向配置された対向基板と、

該間隙に充填され各画素電極が保持する給電量に応じて、画素領域を照射する入射光の電気光学変調を行なう液晶層と、

該複合基板上において画素領域を避けて配置され該間隙に介在して該間隙寸法を均一に制御する為のスペーサ手段とからなる液晶パネル装置。

2. 該スペーサ手段は、多層構造を有するスイッチ

素子の肉厚部分からなる請求項1に記載の液晶パネル装置。

3. 該スペーサ手段は、画素領域外に形成された一定の膜厚を有するフィルムバタンからなる請求項1に記載の液晶パネル装置。

4. 該スペーサ手段は、画素領域外に分散配置された一定の粒径を有するスペーサ粒子からなる請求項1に記載の液晶パネル装置。

5. 該スペーサ手段は、該スペーサ粒子を支持固定するバインダーを含む請求項4に記載の液晶パネル装置。

6. 該スペーサ手段は、複合基板上において画素アレイの周辺に配置された一定の膜厚を有するフィルムバタンからなる請求項1に記載の液晶パネル装置。

7. 該スペーサ手段は、該基板間隙を3μm以下の均一な寸法に制御可能な肉厚を有する請求項1に記載の液晶パネル装置。

8. 該液晶層は屈折率異方性が0.2以上であるツイストネマチック液晶からなる請求項7に記載の液

品パネル装置。

9. 該液晶層は、双安定状態間の遷移により電気光学変調を行なう強誘電性液晶からなる請求項7に記載の液晶パネル装置。

10. 電気絶縁性の基板に半導体単結晶基板を接合した後、これを研磨し半導体単結晶薄膜層を形成して複合基板を準備する第1工程と、

該半導体単結晶薄膜層上に画素領域を規定する複数の画素電極及び各画素電極を選択給電する為の複数のスイッチ素子を集積形成して画素アレイを設ける第2工程と、

該複合基板上において画素領域を避ける様にスペースを形成する第3工程と、

該スペースを介して複合基板に対向基板を重ね両基板間に均一なギャップ寸法を有する間隙を設ける第4工程と、

該間隙に液晶を充填し、画素電極の給電量に応じて画素領域を直接照射する入射光の電気光学変調を行なう液晶層を形成する第5工程とからなる液晶パネル装置の製造方法。

された画素電極群と対応するスイッチ素子群とから構成されている。特定の画素を選択する場合には対応するスイッチ素子を導通させ、非選択時には対応するスイッチ素子を非導通状態にしておくものである。このスイッチ素子は液晶パネルを構成する半導体薄膜基板上に形成されている。従って、スイッチ素子の薄膜化技術が重要である。この素子として通常絶縁ゲート電界効果型の薄膜トランジスタが用いられる。

従来、アクティブマトリックス装置においては薄膜トランジスタはガラス基板上に堆積された非晶質シリコン薄膜あるいは多結晶シリコン薄膜の表面に形成されていた。非晶質シリコン薄膜は例えば真空蒸着あるいはスパッタリングを用いてガラス基板上に容易に堆積する事ができ、多結晶シリコン薄膜も例えば化学気相成長法を用いてガラス基板上に容易に堆積する事ができる。

〔発明が解決しようとする課題〕

従来の非晶質シリコン薄膜あるいは多結晶シリコン薄膜を用いたアクティブマトリックス装置は

- (2) 11. 該第3工程は、多層構造を有する複数のスイッチ素子の肉厚部分の寸法を一定に加工する工程である請求項10に記載の液晶パネル装置の製造方法。
12. 該第3工程は、複合基板表面に均一な膜厚を有する感光樹脂フィルムを塗布した後、フォトリソグラフィ及びエッチングにより少くとも画素領域から該感光樹脂フィルムを除去してフィルムパターンスペースを形成する工程である請求項10に記載の液晶パネル装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は画素アレイの形成された半導体薄膜基板と、所定の間隙を介して該薄膜基板に対向配置された対向基板と、該間隙に封入された液晶材料とからなるアクティブマトリックス型の液晶パネル装置に関し、特に封入された液晶層の層厚を規定する基板間隙の制御構造に関する。

〔従来の技術〕

アクティブマトリックス装置の原理は比較的単純であって、画素アレイはマトリックス状に配置

比較的大面積の画像面を必要とする直視型液晶パネル表示装置に適している一方、装置の微細化及び画素の高密度化には必ずしも適していない。最近、直視型液晶パネル表示装置とは別に、微細化された高密度の画素を有する超小型液晶パネル表示装置に対する要求が高まってきている。かかる超小型装置は例えば投影型画像装置の一次画像形成面として利用され、投影型のハイビジョンテレビとして応用可能である。微細半導体製造技術を用いる事ができれば、10μオーダーの画素寸法を有し全体としても数cm程度の寸法を有する超小型液晶パネル装置を製造する事が可能であると考えられている。

しかしながら、従来の非晶質あるいは多結晶シリコン薄膜を用いた場合には、微細半導体加工技術を直接適用する事が困難である。例えば、非晶質シリコン薄膜の場合にはその成膜温度が300℃程度である為、微細化技術に必要な高温処理を実施する事ができない。又、多結晶シリコン薄膜の場合には、結晶粒子の粒径が大きい為、必然的に

(3) 薄膜スイッチ素子の微細化が制限される。又、多結晶シリコン薄膜の成膜温度は800℃程度であり、1000℃以上の高温処理を要する微細化技術を十分に活かす事が難しい。以上に述べた様に、従来の非晶質又は多結晶シリコン薄膜を用いたアクティブマトリックス装置においては、通常の半導体集積回路素子と同程度の集積密度及びチップ寸法を実現する事が極めて困難であるという問題点があった。

上述した従来の技術の問題点に鑑み、本発明は微細化された画素アレイを具備するアクティブマトリックス型の半導体薄膜基板液晶パネル装置を提供する事を一般的な目的とする。

ところで、均一な画像品質を得る為には液晶層の層厚を規定する一対の基板間隙を一定に制御する必要がある。この為に、従来所望の液晶層厚に対応した粒径を有するスペーサ粒子を基板上に散布して間隙又はギャップの制御を行っていた。しかしながら、微細化された画素は例えば数 μ m程度の寸法を有しており、スペーサ粒子径と同程度

を規定する複数の画素電極と各画素電極を選択給電する為の複数のスイッチ素子とから構成されている。複合基板には所定の間隙を介して対向基板が対向配置されている。この間隙には液晶層が充填されており各画素電極が保持する給電量に応じて、画素領域を照射する入射光の電気光学変調を行なう。そして、複合基板上において画素領域を避けて配置され該間隙に介在して該間隙寸法を均一に制御する為のスペーサ手段を具備している。

好ましくは、該スペーサ手段は、多層構造を有するスイッチ素子の肉厚部分から構成されている。あるいは、該スペーサ手段は画素領域外に形成された一定の膜厚を有するフィルムバタンを用いて形成しても良い。さらには、該スペーサ手段は画素領域外に分散配置された一定の粒径を有するスペーサ粒子を用いて構成しても良い。

上述した構造を有する液晶パネル装置は以下に述べる方法により製造する事ができる。まず、電気絶縁性の基板に高品質の半導体単結晶基板例えばLSI製造に用いられるシリコン単結晶ウェハ

である。従って、画素アレイ上にスペーサ粒子を散布した場合には画素がスペーサ粒子によって覆われる事になってしまい画像品質が著しく損なわれるとともに液晶パネル装置の全体的な光透過率が低下してしまうという問題点がある。さらに、画素アレイの微細化に伴って、液晶層厚を数 μ mオーダまで縮小する必要がある。この時、半導体薄膜基板表面の凹凸が相対的に顕著となり従来のギャップ制御方法では対応が困難である。そこで、本発明は画素アレイの微細化に対応する事のできるギャップ制御構造を有するアクティブマトリックス型の半導体薄膜基板液晶パネル装置を提供する事を特徴的な目的とする。

(課題を解決するための手段)

上述した一般的目的及び特徴的目的を達成する為に、本発明にかかるアクティブマトリックス型液晶パネル装置は、電気絶縁性の担体層と半導体単結晶薄膜層とからなる積層構造を有する複合基板を用いている。この半導体単結晶薄膜層に画素アレイが集積形成される。画素アレイは画素領域

を接合した後、これを研磨しシリコン単結晶薄膜層を形成する。このシリコン単結晶薄膜層はシリコンウェハの高品質を実質的に保存しておりLSI製造技術を直接適用する事が可能である。次に、該シリコン単結晶薄膜層上に画素領域を規定する複数の画素電極及び各画素電極を選択給電する為の複数のスイッチ素子を集積形成して画素アレイを設ける。続いて、シリコン単結晶薄膜層上において形成された画素領域を避ける様にスペーサを形成する。さらにこのスペーサを介して複合基板に対向基板を重ね両基板間に均一なギャップ寸法を有する間隙を設ける。最後にこの間隙に液晶を充填封入し、画素電極の給電量に応じて画素領域を直接照射する入射光の電気光学変調を行なう液晶層を形成する。

(発明の作用)

上述した様に、本発明によれば電気絶縁性の担体層及びその上に形成された半導体単結晶薄膜層とからなる二層構造を有する複合基板を用いており、且つ該半導体単結晶薄膜層は半導体単結晶バ

ルクからなるウェハと同等の品質を有している。従って、かかる半導体単結晶薄膜層に微細化技術あるいはLSI製造技術を駆使して画素電極群及びスイッチ素子群とを集積的に形成する事ができる。この結果得られる集積回路チップは極めて高い画素密度及び極めて小さい画素寸法を有しており超小型高精細のアクティブマトリックス型液晶パネル装置を構成できる。

又、液晶パネル装置の間隙寸法は微細化された画素領域外に配置されたスペースによって均一に制御されている。従って微細化された画素に照射される入射光はスペースによって遮断される事がないので画素品質を低下させる惧れがないとともに、画素アレイ全体の光透過率を向上させる事ができる。加えて、例えばスペースとして多層構造を有するスイッチ素子の肉厚部分を直接利用する事により半導体単結晶薄膜層表面の凹凸による悪影響を除去する事ができるとともに何らスペース形成のための付加的要素あるいは材料を用いる必要がない。

る。即ち、シリコン単結晶薄膜層5の上にはゲート絶縁膜9を介してゲート電極10が形成されている。素子領域を規定するシリコン単結晶薄膜層5の左側部分は不純物拡散によりドレイン領域11となっており、同じく右側部分も不純物拡散によりソース領域12となっている。ゲート電極10の直下においてドレイン領域11とソース領域12との間に存在する部分は絶縁ゲート電界効果トランジスタのチャネル領域13を形成する。ゲート絶縁膜9に形成されたコンタクトホールを介して、ドレイン領域11にはドレイン電極14が接続されている。ドレイン電極14は絶縁膜を介してゲート電極10の上方に延設されておりスイッチ素子8を入射光から保護している。ドレイン電極14の表面は保護膜15により被覆されている。この保護膜15は酸化シリコンあるいは窒化シリコン等で構成されておりいわゆるパッシベーションフィルムである。図から明らかな様に、スイッチ素子8はシリコン単結晶薄膜層5、ゲート絶縁膜9、ゲート電極10、層間絶縁膜、ドレイン電極14及び保護膜15等から構成

(4) [実施例]

以下図面を参照して本発明の好適な実施例を詳細に説明する。第1図は本発明にかかる液晶パネル装置の一画素部分を取り出した拡大断面図である。図示する様に、液晶パネル装置は複合基板1と対向基板2と液晶層3とからなる積層構造を有している。複合基板1は例えば石英ガラス基板からなる担体層4と担体層4の表面に形成されたシリコン単結晶薄膜層5とからなる。シリコン単結晶薄膜層5はその選択的熱酸化により部分的にフィールド酸化膜6に変換されている。フィールド酸化膜6によって囲まれた部分において、シリコン単結晶薄膜層5は素子領域を規定する。又シリコン単結晶薄膜層5が除去され露出された担体層4の表面には、画素領域を規定する画素電極7が形成されている。この画素電極は例えば透明なITOフィルムからなる。

シリコン単結晶薄膜層5からなる素子領域にはスイッチ素子8が形成されている。このスイッチ素子8は絶縁ゲート電界効果トランジスタからな

される多層構造を有し、その肉厚はゲート電極10の上方で最大となっている。この最大肉厚部分の寸法は各層厚の累積されたものである。半導体製造工程においては各層厚は μ m単位で精度良く制御する事が可能であり、累積層厚を所望の値に設定する事が容易である。あるいは、最上層に存在する保護膜15の膜厚を適宜設定する事により所望の最大肉厚寸法を有するスイッチ素子8を形成する事ができる。

一方画素領域を規定する画素電極7の表面には膜が堆積されておらずスイッチ素子8との間で段差を形成する。この段差が所定のギャップ寸法となる。なお、画素電極7の表面は配向処理が施されている。

次に対向基板2はガラス基板16とその内側表面に形成された共通電極17とから構成されている。共通電極17の表面も又配向処理が施されている。対向基板2はスイッチ素子8の最大肉厚部分を介して複合基板1に対向配置されている。この結果、共通電極17と画素電極7の間のギャップ寸法は前

述した段差に等しくなる。個々のスイッチ素子 8 の最大肉厚寸法は等しく設定されているので対向基板 2 は複合基板 1 に対して完全な平行度を有する。この完全な平行度を実現する為に、共通電極 17 の表面及び保護膜 15 の表面を高精度で平坦仕上げしても良い。なお共通電極 17 も ITO 等の透明電極材料から構成されている。

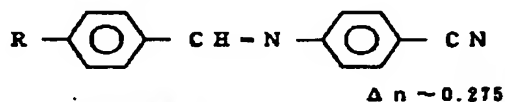
対向基板 2 と複合基板 1 との間隙には液晶層 3 が充填されている。画素領域において液晶層 3 の層厚はスイッチ素子 8 の最大肉厚寸法によって極めて精確に制御されている。この様に、本実施例においては特別のスペーサ部材を用いる事なく、スイッチ素子 8 の肉厚部分をスペーサとして用いる事により極めて精確なギャップ寸法を作り込む事ができる。画素領域と素子領域はもともと分離しているので画素領域に入射する光は何ら遮断される事がない。又、ギャップ寸法は半導体製造プロセスにより作り込まれるので精確であるとともにスペーサ形成のための特別の工程を要しない。

液晶層 3 としては通常 90° のツイスト配向され

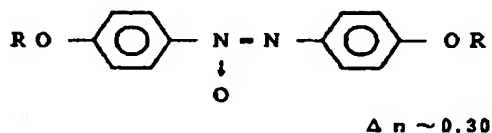
(5) たネマチック液晶が用いられる。一般に、完全な 90° ツイスト配向を維持する為には液晶層厚を 10 μm 程度に設定する事が行なわれている。しかしながら、本発明によれば LSI 製造技術を直接用いてシリコン単結晶薄膜層に画素アレイを形成する事ができるので、画素寸法を数 μm 程度に微細化できる。この様に微細化した場合には、画素間のクロストークを防止する為に液晶層厚も縮小する必要があるが好ましくは 3 μm 以下に設定する必要がある。本発明によれば、液晶層厚はスイッチ素子の肉厚部寸法によって規定できるので極めて精度良くギャップ制御を行なえる。因みに、アルミニウムの蒸着等によって形成されるドレイン電極の膜厚を 1 μm とし、化学気相成長法を用いた堆積処理により形成される保護膜の厚みを 1 μm とし、残りの部分の層厚寸法を 1 μm とする事により 3 μm のギャップ寸法を容易に得る事ができる。なお、ツイストネマチック液晶の厚みを 3 μm 以下に減少するとツイストネマチック液晶層の旋光能も低下する。これを補う為、屈折率異方性が 0.2 以上の

大きな値を有するネマチック液晶を用いる事が好ましい。これらの材料としては例えば以下のものが知られている。なお、Δn は屈折率異方性を示す。

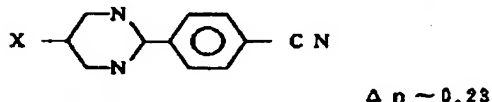
シフ系液晶



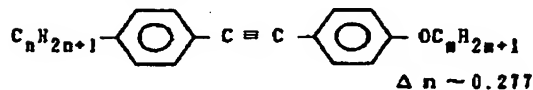
アゾキシ系液晶



シアノ置換フェニルピリミジン系液晶



トラン系液晶



実際には、上記した各種の液晶材料を調合して所望の温度特性を有する組成物を用いる事が好ましい。主流として用いられる材料はシアノビフェニル系である。

旋光能の低下を補う方法としては、ネマチック液晶のツイスト角を 90° より小さくするとともに、外付けの偏光板の偏光軸方向と配向膜の一軸配向方向をずらす様にしても良い。この様にすると、入射光の完全遮断特性が得られるとともに遮断時と透過時の切換えにおける液晶層の閾値電圧の急峻性が和らげられ階調表示を行なうのに有利である。

液晶層 3 を構成する材料としては上述したツイストネマチック液晶の他に強誘電性液晶例えばカイラルスメクチック液晶を用いる事もできる。この種の強誘電性液晶はその層厚を例えば 3 μm 以下とする事により双安定状態を呈する。電圧印加によりこの双安定状態を切換える事により高速な電気光学変調を行なう事ができる。併せて、画素領域における消光比を著しく向上する事ができる。

さて、強誘電性液晶の双安定状態を実現する為には以下の関係式を満たす必要がある。

$$2 \times (a - b) \times c / \lambda = d$$

この関係式において、 a はスイッチ素子の最大肉厚寸法を示し、 b は画素電極7の膜厚を示し、 c は強誘電性液晶の屈折率異方性を示し、 λ は入射光の波長を示し、 d は整数を示す。通常、強誘電性液晶の屈折率異方性は0.15ないし0.2程度であり、又8928Åの波長を有する入射光を用いるとするとスイッチ素子8の最大肉厚寸法はおよそ1.7μmと計算される。

次に第2図(A)及び(B)を参照して本発明にかかる半導体単結晶基板液晶パネル装置の他の実施例を示す。第2図(A)は液晶パネル装置の断面構造を示す模式図である。図示する様に、液晶パネル装置は複合基板21と対向基板22と両者の間に封入された液晶層23等から構成されている。複合基板21の表面に被覆されたシリコン単結晶薄膜層には複数の画素24が形成されている。個々の画素24は画素電極とその周囲に配置された絶縁ゲート電

導体製造技術において通常行なわれているフォトリソグラムの選択的エッチングによりスペースを形成するのでクリーンルーム内での一貫生産が可能となり配向不良や断線不良の原因となる塵の付着を有効に防止する事ができる。

第2図(B)は第2図(A)に示す液晶パネル装置の模式的平面図であり、対向基板22は簡単に為す図から除かれている。複合基板21の中央に位置する画素アレイ28にはマトリクス状に配置された画素群が形成されている。各画素は画素領域を規定する画素電極27と対応するスイッチ素子29とから構成されている。前述した様に、スイッチ素子29は絶縁ゲート電界効果トランジスタからなり、そのゲート電極は走査線30に接続されており、ドレイン電極は信号線31に接続されており、ソース電極は画素電極27に接続されている。図示しないが、隣接する画素電極27の間には格子状のスペースフィルムパタンが形成されている。即ち、格子状のフィルムパタンは走査線30及びこれと直交する信号線31の上に配置されている。又、画素アレ

(6) 界効果型トランジスタからなるスイッチ素子とを含んでいる。画素と画素の間及びマトリクス状に配置された画素群からなる画素アレイの周囲にはスペース25が配置されている。図から明らかな様に、スペース25は画素領域から外れて配置されており、画素領域に入射する光を遮断する事がないので画像のコントラストを低下させる事がない。本実施例においては、スペース25は一定の膜厚を有するフィルムパタンから構成されている。例えば、画素アレイの形成された複合基板21の表面に対してスピニング等により感光性樹脂あるいはフォトリソグラムの等からなるフィルムを均一な厚みで全面塗布する。この後フォトリソグラフィ及びエッチングを用いてフィルムをパタニングし画素領域から選択的に除去してフィルムパタン25からなるスペースを形成する。この一定の膜厚を有するスペースを介して複合基板21及び対向基板22をシーラ28により互いに接続する事により所定の間隙を形成する。この間隙には液晶層23が充填される。この様に、本実施例においては半

導体製造技術において通常行なわれているフォトリソグラムの選択的エッチングによりスペースを形成するのでクリーンルーム内での一貫生産が可能となり配向不良や断線不良の原因となる塵の付着を有効に防止する事ができる。

第2図(B)は第2図(A)に示す液晶パネル装置の模式的平面図であり、対向基板22は簡単に為す図から除かれている。複合基板21の中央に位置する画素アレイ28にはマトリクス状に配置された画素群が形成されている。各画素は画素領域を規定する画素電極27と対応するスイッチ素子29とから構成されている。前述した様に、スイッチ素子29は絶縁ゲート電界効果トランジスタからなり、そのゲート電極は走査線30に接続されており、ドレイン電極は信号線31に接続されており、ソース電極は画素電極27に接続されている。図示しないが、隣接する画素電極27の間には格子状のスペースフィルムパタンが形成されている。即ち、格子状のフィルムパタンは走査線30及びこれと直交する信号線31の上に配置されている。又、画素アレ

い。あるいは、走査線30及び信号線31を形成する金属パタンの膜厚を画素アレイ28の全体を通して一定の寸法とし直接スペーサに用いても良い。

第3図は本発明にかかる半導体単結晶基板液晶パネル装置のさらに他の実施例を示す模式的断面図である。図示する様に、本液晶パネル装置も複合基板41と対向基板42と両者の間に封入された液晶層43等から構成されている。複合基板41の表面に配置されたシリコン単結晶薄膜層には複数の画素44からなる画素アレイが形成されている。個々の画素44は画素領域を規定する画素電極とこの画素電極に対して選択給電する為のスイッチ素子とから構成されている。一对の基板41及び42はシラ45により互いに接着されている。本実施例においては、所定のギャップ寸法を出すためにギャップ寸法に対応した粒径を有するスペーサ粒子46が用いられている。このスペーサ粒子46としては例えばシリカ球、ガラスファイバ、あるいは高分子球等が用いられる。これらのスペーサ粒子はその粒径を極めて均一に作る事ができる。図から明ら

レジストは複合基板41の表面に均一にコーティングされる。その後、所定のフォトマスクを介して現像及び焼付けを行なう。その後、焼付けにより硬化しなかった感光性樹脂部分を除去して画素領域からスペーサ粒子を取り除く。この様にすれば極めて容易にスペーサ粒子を分散配置する事がで

しては、図示しないがさらに他の変形例も考えられる。即ち、スペーサ粒子の選択的散布と同時に若干粒径の多い接着粒子も同時に散布する。この状態で一对の基板を重ね合わせ熱圧着すると接着粒子が溶解しスペーサ粒子で決まるギャップ寸法を保ちながら両基板は互いに固定される。この様にすると、シラ印刷工程が省略できる。又、真空注入を用いなくても液晶を一对の基板の間に充填する事が可能となる。液晶を充填した状態で基板周囲に封止剤を塗布して液晶封入を完成する。

最後に第5図(A)ないし第5図(J)を参照して本発明にかかる半導体単結晶基板液晶パネル装置

かな様に、スペーサ粒子46は画素領域44以外の部分に選択的に散布されている。従って、画素領域44における表示を防げる事がなく一定のコントラストを確保する事ができる。加えて、画素領域近傍に存在するスイッチ素子にストレスが加わらないので基板の圧着加工等においてスイッチ素子を誤って破壊する事がない。スペーサ粒子46の選択散布は例えば画素アレイをマスクなどで被覆し行なう事ができる。

第4図は第3図に示す実施例をさらに改良した変形例を示す模式的断面図である。同一の構成要素には同一の参照番号を付してその説明を省略する。第3図には示す実施例と異なる点はスペーサ粒子46がバインダー47によって固定されている事である。スペーサ粒子46のバインダーによる固定を行なう事で、スペーサ粒子の移動を防止するとともにその選択的散布工程を容易にしている。例えば、本実施例においてはバインダーとして感光性樹脂例えばポリイミド樹脂が用いられる。スペーサ粒子の分散された感光樹脂あるいはフォ

の製造方法を詳細に説明する。先ず第5図(A)に示す工程において、石英ガラス基板61と単結晶シリコン基板62とが用意される。単結晶シリコン基板62はLSI製造に用いられる高品質のシリコンウェハを用いる事が好ましく、その結晶方位は $\langle 100 \rangle 0.0 \pm 1.0$ の範囲の一様性を有し、その

コン基板62の表面を先ず精密に平滑仕上げする。続いて、平滑仕上げされた両面を重ね合わせ加熱する事により両基板を熱圧着する。この熱圧着処理により、両基板61及び62は互いに強固に圧着される。

第5図(B)に示す工程において、単結晶シリコン基板の表面を研磨する。この結果、石英ガラス基板61の表面には所望の厚さまで研磨された単結晶シリコン薄膜層63が形成される。石英ガラス基板61からなる担体層と単結晶シリコン薄膜層63とからなる二層構造を有する複合基板が得られる。なお、単結晶シリコン基板62を薄膜化する為に研

厚処理に代えてエッチング処理を行なっても良い。(8) この様にして得られた単結晶シリコン薄膜層はシリコンウェハ63の品質が実質的にそのまま保存されるので、結晶方位の一様性や格子欠陥密度に関して極めて優れた基板材料を得る事ができる。従って、直接LSI製造技術を適用する事が可能となり高密度で微細なスイッチ素子及び周辺回路素子を形成する事ができる。

ところで従来からかかる二層構造を有する種々のタイプの半導体積層基板が知られている。いわゆるSOI基板と呼ばれているものである。SOI基板は例えば絶縁物質からなる担体表面に化学気相成長法等を用いて多結晶シリコン薄膜を堆積させた後、レーザビーム照射等により加熱処理を施し多結晶膜を再結晶化して単結晶構造に転換して得られていた。しかしながら、一般に多結晶の再結晶化により得られた単結晶は必ずしも一様な結晶方位を有しておらず又格子欠陥密度が大きかった。これらの理由により、従来の方法により製造されたSOI基板に対してシリコン単結

晶ウェハと同様にLSI製造技術あるいは微細化技術を用いる事は困難である。これに対して、本発明は半導体製造プロセスで広く用いられている高品質シリコン単結晶ウェハと実質的に同一の結晶方位の一様性及び低密度の格子欠陥を有するシリコン単結晶薄膜を利用して微細且つ高分解能のアクティブマトリックス型液晶パネル装置を製造する事が可能である。

次に第5図(C)に示す工程において、シリコン単結晶薄膜層63を選択エッチングし島状の素子領域64を形成する。図においては2個の素子領域のみが示されているが、一般には複数の島状素子領域がマトリックス状に配列される。この選択エッチングは例えば所望のパターンを有するマスクを介してシリコン単結晶薄膜層63の異方性エッチングにより行なわれる。シリコン単結晶薄膜層の除去された部分には石英ガラス基板61の表面が露出している。この露出部分は後に画素領域を形成する。

第5図(D)に示す工程において、島状に形成された単結晶シリコン薄膜層からなる素子領域の表

面を熱酸化処理し全面にシリコン酸化膜65を形成する。

第5図(E)に示す工程において、シリコン酸化膜65の上に所定の形状にパタニングされたゲート電極66を設ける。この結果、シリコン単結晶薄膜層64とゲート電極66の間に介在するシリコン酸化膜65はゲート絶縁膜を構成する。ゲート電極66は、例えば基板61の表面全体に化学気相成長法等を用いて多結晶シリコン膜を堆積した後所定の形状を有するマスクを用いて異方性エッチングを行なう事により形成される。

次に第5図(F)に示す工程において、ゲート電極66をマスクとしてゲート絶縁膜65を介して不純物例えば砒素のイオン注入を行ない、シリコン単結晶薄膜にドレイン領域67及びソース領域68を形成する。この結果、ゲート電極66の下方においてドレイン領域67とソース領域68の間に不純物の注入されていない電界効果トランジスタチャネル領域が設けられる。

続いて第5図(G)に示す工程において、ゲート

絶縁膜65の一部を開口しソース領域68に連なるコンタクトホールを形成するとともに、ドレイン領域67に連なるコンタクトホールも形成する。続いて、真空蒸着あるいはスパッタリングにより金属膜を基板全面に被覆する。この金属膜を所定の形状に加工する事により画素電極69及びドレイン電極70を形成する。金属膜の膜厚を数100Åとする事により実質的に透明な画素電極を形成する事ができる。

さらに第5図(H)に示す工程において、絶縁ゲート電界効果トランジスタが形成された素子領域64のみを被覆する様に保護膜71を形成する。この保護膜71は例えば画素電極69をレジスト等によりマスクした状態で化学気相成長法等を用いてPSGフィルムを堆積する事により行なわれる。この時、保護膜の厚みを適当に制御する事により多層構造を有するスイッチ素子の総厚を一定の寸法に設定する事ができる。好ましくは、保護膜を形成した後基板表面を精密研磨する事により保護膜表面を平坦化するとともに全ての素子領域にお

いてその高さ寸法を均一にしても良い。この高さ寸法が液晶パネルのギャップ量を規定する。以上に説明した第5図(A)ないし(H)に示す工程により半導体プロセスが終了する。本実施例においては液晶パネルのギャップ寸法を規定するスペースは個々のスイッチ素子の肉厚部分によって構成されるので追加の工程を要さず完全に半導体プロセスのみで加工できる。

次に液晶パネルの組み立て工程に移行する。第5図(I)に示す工程において、半導体プロセスの終了した複合基板61と別に加工された対向基板72とが準備される。複合基板61を洗浄した後、画素電極69の表面に配向処理を施す。この配向処理は後に封入される液晶分子を正しく配列させる為のものである。この配向処理は画素電極69の表面に極めて薄く配向剤を塗布した後綿布で表面をラビングする事により行なわれる。同様に、対向基板72の内側表面に形成された共通電極73に対しても配向処理を施す。なお、複合基板61と同様に対向基板72の表面研磨を行ない精密な平坦度

(9)を出しておく事が好ましい。共通電極73は、ガラス等からなる対向基板72の上に例えばITOをスパッタ又は電子ビーム蒸着により成長させて形成する。引き続き、図示しないが対向基板72の周辺部に沿ってシーラを印刷する。続いて、複合基板61及び対向基板72を重ねて熱圧着し両者を結合する。この結果、両基板の間には保護膜71の膜厚によって規定される寸法を有するギャップが形成される。保護膜71の膜厚は個々の素子領域に渡って均一に制御されているので一对の基板61及び72は極めて平行度よく互いに結合される。なお、シーラは例えばエポキシ樹脂等からなりスクリーン印刷により対向基板上に塗布される。但し、後で液晶を封入する為の開口部を予め作っておく。

最後に第5図(J)に示す工程において、液晶74をパネル内のギャップに封入する。この封入は、例えば真空チャンバの中でパネルの封入口に液晶を浸す事により行なわれる。即ち、真空チャンバを大気圧に戻すと液晶は外圧でパネル内に浸入する。その後パネルを液晶のクリアングポイント以

上加熱した後冷却すれば液晶分子は配向処理に従って所望の配列状態を呈する。液晶74を封入した後、一对の基板の外側面に各々偏光板75及び76を貼り付けて液晶パネル装置を完成する。なお、図示しないが本実施例においてはスイッチ素子の形成と同時にドライバ等の周辺回路もシリコン単結晶薄膜層に同時に形成する事が可能である。

【発明の効果】

以上説明した様に、本発明によれば通常のLSI製造技術に用いられる高品質のシリコンウェハと同等の品質を有するシリコン単結晶薄膜に対してLSI製造技術を直接適用する事により微細なスイッチ素子等を高密度で集積形成する事ができ画素寸法を縮小化できるという効果がある。特に、画素寸法の縮小化に合わせてスペースを画素領域以外に配置したので画素アレイの画像品質を損なう事がないという効果がある。さらに、画素領域に入射する光を遮断する事がないので画像のコントラストを改善する事ができるという効果がある。加えて、画素電極の近傍に配置されるス

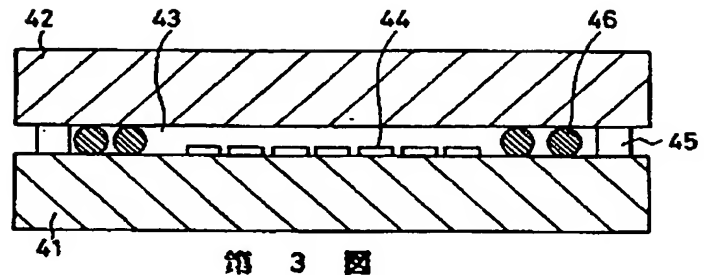
スイッチ素子の肉厚部分をスペースとして兼用する事により半導体薄膜基板の表面の凹凸の悪影響を受ける事なく液晶層の厚みを均一に制御する事ができるという効果がある。さらに、スイッチ素子の肉厚部分の寸法を薄膜形成技術により μ m単位で精密に制御する事ができる為所望の寸法を有するギャップを精度良く形成する事ができるという効果がある。

4. 図面の簡単な説明

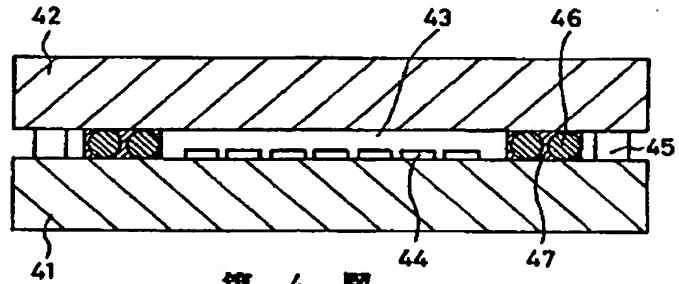
第1図は半導体単結晶基板液晶パネル装置の一画素部分を取り出して示した模式的拡大断面図、第2図(A)は半導体単結晶基板液晶パネル装置の他の実施例を示す模式的断面図、第2図(B)は第2図(A)に示す液晶パネル装置の模式的平面図、第3図は液晶パネル装置のさらに他の実施例を示す模式的断面図、第4図は第3図に示す実施例をさらに改良した変形例を示す模式的断面図、及び第5図(A)ないし第5図(J)は半導体単結晶基板液晶パネル装置の製造方法の一例を示す工程図である。

- | | |
|----------------|----------|
| 1…複合基板 | 2…対向基板 |
| 3…液晶層 | 4…担体層 |
| 5…シリコン単結晶薄膜層 | 7…画素電極 |
| 8…スイッチ素子（スペーサ） | |
| 14…ドレイン電極 | 15…保護膜 |
| 16…ガラス基板 | 17…共通電極 |
| 25…スペーサフィルムボタン | |
| 28…シーラ | 29…画素アレイ |
| 46…スペーサ粒子 | 47…バインダー |

(10)



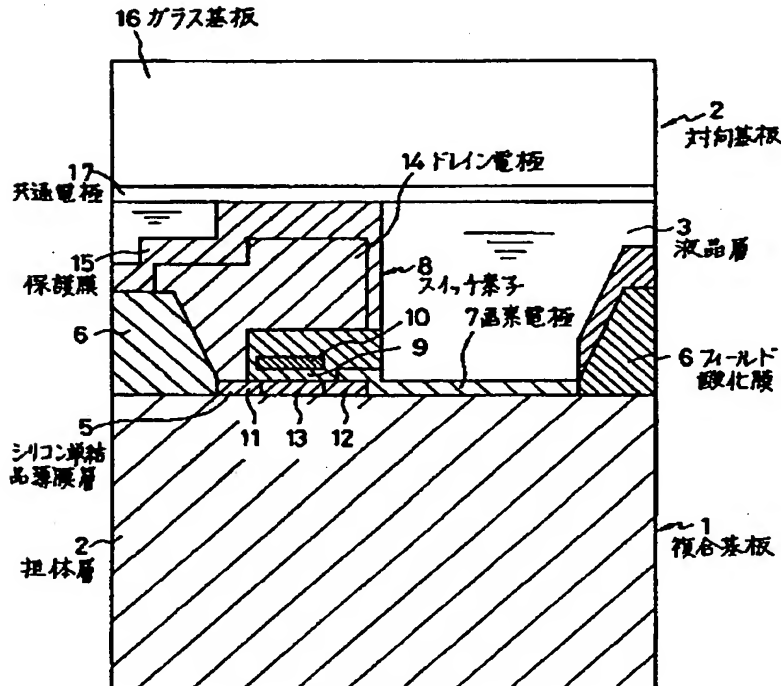
第 3 図



第 4 図

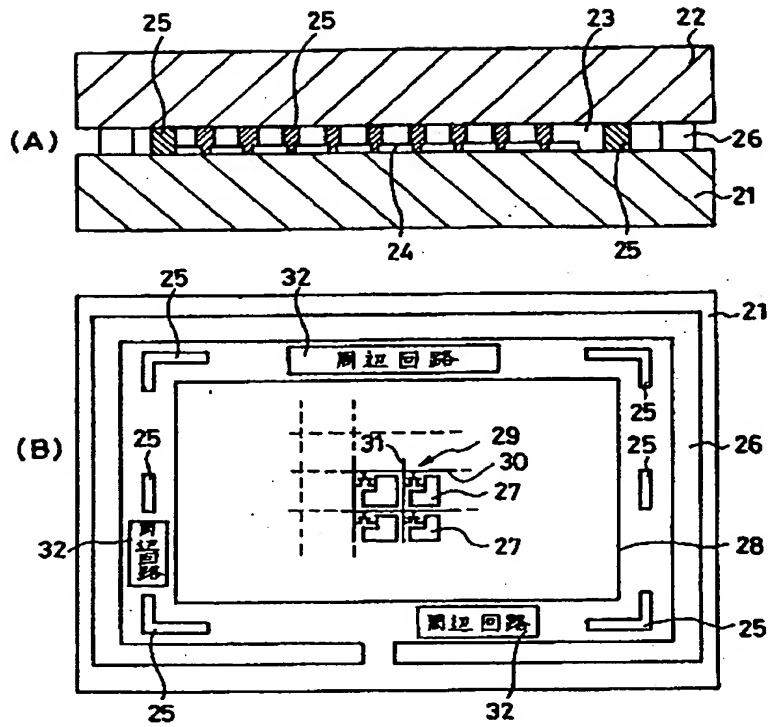
出 願 人 セイコー電子工業株式会社

代 理 人 弁 理 士 林 敏 之 助

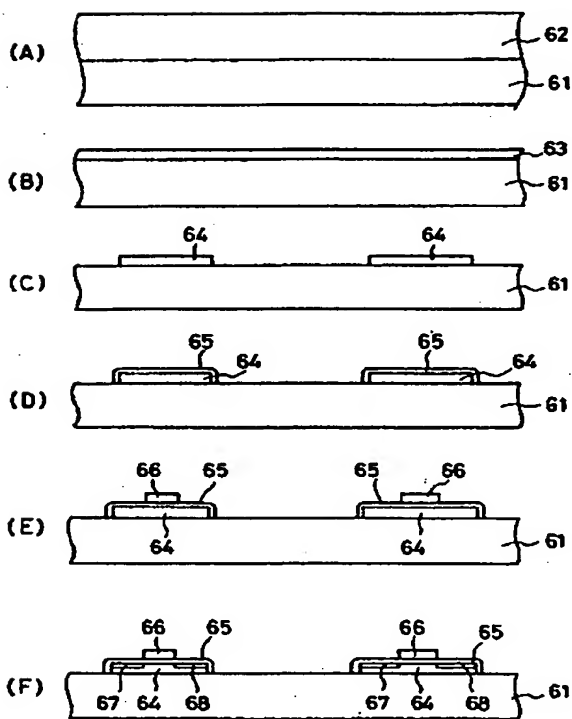


第 1 図

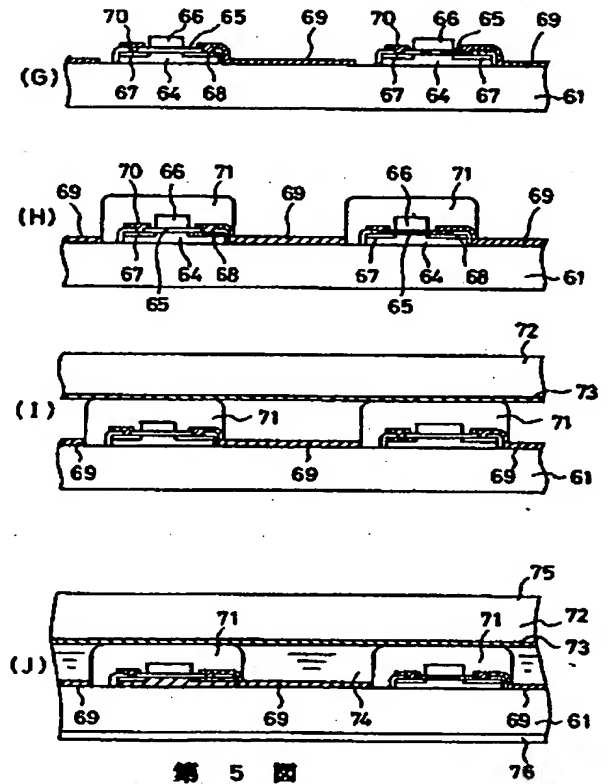
(11)



第 2 圖



第 5 圖



第 5 圖

(12)

第 1 頁の続き

②発 明 者	田 口	雅 明	東京都江東区亀戸 6 丁目 31 番 1 号 セイコー電子工業株式 会社内
②発 明 者	高 野	隆 一	東京都江東区亀戸 6 丁目 31 番 1 号 セイコー電子工業株式 会社内